

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-284166

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

H04B 1/40
H04B 1/04
H04B 1/26
H04Q 7/38

(21)Application number : 08-094933

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 17.04.1996

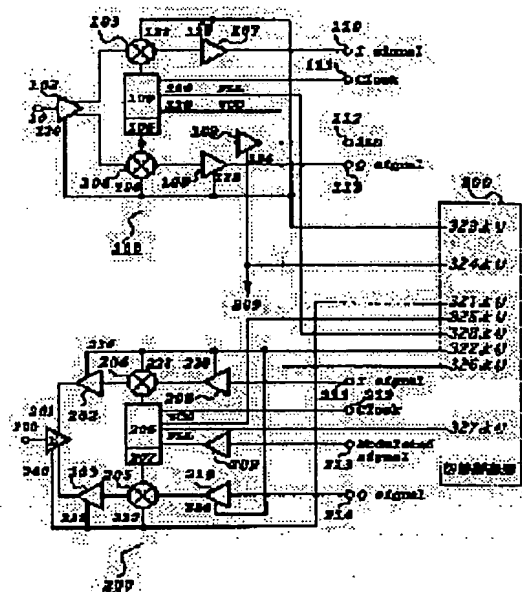
(72)Inventor : TAKAHASHI TADASHIGE
KATSUYAMA TSUTOMU

(54) DIGITAL/ANALOG COMMON CIRCUIT FOR DUAL MODE RADIO EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To use a local oscillation circuit in common.

SOLUTION: A frequency synthesizer 105 generates a 1st local oscillation frequency for orthogonal transformation and a 2nd local oscillation frequency in the case of analog reception based on a control signal from a changeover control section 300. An orthogonal demodulation circuit including multipliers 103, 104 of a digital IF section 100 is active in the digital mode and a reception wave from a high frequency section is orthogonally transformed and the result is fed to a base band processing section. In the analog mode, a buffer 109 gets through and the 2nd local oscillation frequency is fed to an analog IF section. Similarly, a modulation section 200 uses a frequency synthesizer 206 to generate a 3rd local oscillation frequency for orthogonal modulation to drive the orthogonal modulation circuit such as multipliers 204, 205. In the case of analog signal transmission, a frequency synthesizer 105 generates a 4th local oscillation frequency and it is frequency-modulated by an analog modulation signal and the result is outputted to a high frequency stage via the multiplier 205.



LEGAL STATUS

[Date of request for examination]

07.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3255843

[Date of registration]

30.11.2001

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-284166

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	1/40		H 0 4 B	1/40
	1/04			1/04
	1/26			1/26
H 0 4 Q	7/38			7/26
				1 0 9 G

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平8-94933

(22) 出願日 平成8年(1996)4月17日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 ▲高▼橋 忠成

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 勝山 力

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

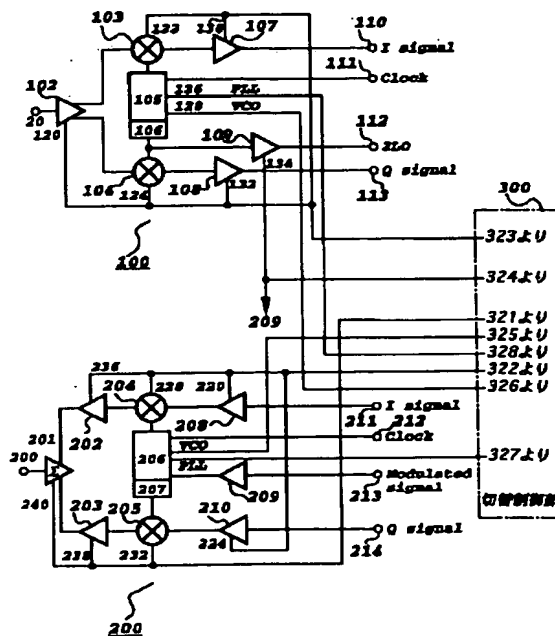
(74) 代理人 弁理士 香取 孝雄

(54) 【発明の名称】 デュアルモード無線装置におけるデジタル・アナログ共用回路

(57) 【要約】 (修正有)

【課題】 局部発振回路の共用化を図る。

【解決手段】 周波数シンセサイザ105 は切替制御部300からの制御信号により直交変換の際の第1の局部発振周波数と、アナログ受信の際の第2の局部発振周波数とを生成する。デジタルモードではデジタルIF部100の乗算器103, 104を含む直交復調回路がオンとなって、高周波部からの受信波を直交変換してベースバンド処理部へ送る。アナログモードではバッファ109がオンとなって第2の局部発振周波数をアナログIF部に供給する。同様に、変調部200では周波数シンセサイザ206からデジタルモードでの直交変調用の第3の局部発振周波数を生成し、これによって乗算器204, 205などの直交変調回路が駆動される。アナログ送信では周波数シンセサイザにて第4の局部発振周波数が生成され、これをアナログの変調信号にて周波数変調して乗算器205を介して高周波段に出力する。



デュアルモード無線装置の実施例の主要部

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 デジタルモードとアナログモードを有するデュアルモード無線装置におけるデジタル・アナログ共用回路において、該回路は、受信波を所定の局部発振周波数にてダウンコンバートしてアナログのベースバンド信号を得るアナログ受信手段と、受信波を直交検波して、同相信号および直交信号からなるデジタルのベースバンド信号を得るデジタル受信手段と、デジタルのベースバンド信号を直交変調してデジタルの送信波を生成するデジタル送信手段と、アナログのベースバンド信号にて所定の局部発振周波数の信号を周波数変調してアナログの送信波を生成するアナログ送信手段と、前記アナログ受信手段およびデジタル受信手段ならびにデジタル送信手段およびアナログ送信手段を制御してそれぞれのモードに切り替える制御手段とを含み、前記デジタル受信手段は、前記制御手段からの第1の制御信号を受けて直交検波のための第1の局部発振周波数を生成する第1の周波数シンセサイザを含み、該第1の周波数シンセサイザは、前記制御手段から第2の制御信号を受けて第2の局部発振周波数を生成して前記アナログ受信手段にアナログ信号のダウンコンバートのための局部発振信号を供給し、前記デジタル送信手段は、前記制御手段からの第3の制御信号を受けて、直交変調のための第3の局部発振周波数を生成する第2の周波数シンセサイザを含み、該第2の周波数シンセサイザは、前記制御手段から第4の制御信号を受けてアナログ変調のための第4の局部発振周波数を生成し、アナログのベースバンド信号を周波数変調する変調手段を含むことを特徴とするデュアルモード無線装置におけるデジタル・アナログ共用回路。

【請求項2】 請求項1に記載のデュアルモード無線装置におけるデジタル・アナログ共用回路において、前記デジタル受信手段は、受信波を同相信号と直交信号に分配する分配手段と、該分配手段からの同相信号に前記第1の周波数シンセサイザからの第1の局部発振周波数を乗算する第1の乗算手段と、前記周波数シンセサイザからの第1の局部発振周波数の位相を90度シフトする位相手段と、該位相手段からのシフトした局部発振周波数を前記分配手段からの直交信号に乗算する第2の乗算手段とを含み、前記制御手段は、デジタルの受信モードにて前記分配手段、第1の乗算手段および第2の乗算手段ならびに前記第1の周波数シンセサイザをオンとしてデジタル受信手段を駆動し、アナログの受信モードにて前記分配手段、第1の乗算手段および第2の乗算手段をオフとし、前記周波数シンセサイザのみをオンとして該周波数シンセサイザからの第2の局部発振周波数を前記アナログ受

信手段に供給することを特徴とするデュアルモード無線装置におけるデジタル・アナログ共用回路。

【請求項3】 請求項2に記載のデュアルモード無線装置におけるデジタル・アナログ共用回路において、前記位相手段には、前記アナログ受信手段に第2の局部発振周波数を出力する出力手段が接続され、前記制御手段はアナログの受信モードにて前記出力手段をオンとして、前記第1の周波数シンセサイザからの第2の局部発振信号を前記位相手段を介して前記アナログ受信手段に供給することを特徴とするデュアルモード無線装置におけるデジタル・アナログ共用回路。

【請求項4】 請求項1に記載のデュアルモード無線装置におけるデジタル・アナログ共用回路において、前記デジタル送信手段は、デジタルのベースバンド信号の同相信号を受けて該信号に前記第2の周波数シンセサイザからの第3の局部発振周波数を乗算する第3の乗算手段と、前記第2の周波数シンセサイザからの第3の局部発振周波数の位相を90度シフトする位相手段と、該位相手段からのシフトした局部発振周波数にデジタルのベースバンド信号の直交信号を乗算する第4の乗算手段と、前記第3の乗算手段および第4の乗算手段からの信号を合成して出力する合成手段とを含み、前記制御手段は、デジタルの送信モードにて前記第3の乗算手段、第4の乗算手段および合成手段ならびに前記第2の周波数シンセサイザをオンとして前記デジタル送信手段を駆動することを特徴とするデュアルモード無線装置におけるデジタル・アナログ共用回路。

【請求項5】 請求項4に記載のデュアルモード無線装置におけるデジタル・アナログ共用回路において、前記第2の周波数シンセサイザは、可変容量ダイオードを含む電圧制御発振器を有し、前記制御手段は、アナログの送信モードにて前記第2の周波数シンセサイザおよび前記デジタル送信手段の合成手段をオンとし、かつ前記第3の乗算手段または第4の乗算手段のいずれか一方をオンとして、前記電圧制御発振器の可変容量ダイオードに供給されたアナログのベースバンド信号にて変調された送信波を第2の周波数シンセサイザから第3の乗算手段または第4の乗算手段のいずれか一方を介して前記合成手段から出力させることを特徴とするデュアルモード無線装置におけるデジタル・アナログ共用回路。

【請求項6】 請求項1に記載のデュアルモード無線装置におけるデジタル・アナログ共用回路において、前記第1の周波数シンセサイザおよび第2の周波数シンセサイザは、局部発振周波数の分周比を変化させる分周器を含み、前記制御手段は、アナログモードおよびデジタルモードにてそれぞれ前記分周器をオンまたはオフとして、前記第1および第2の周波数シンセサイザから第1の局部発振周波数ないし第4の局部発振周波数を発振させることを特徴とするデュアルモード無線装置におけるデジタル・アナログ共用回路。

【請求項7】 請求項1に記載のデュアルモード無線装置におけるデジタル・アナログ共用回路において、前記制御手段は、複数の論理回路の組み合わせにて形成され、該制御手段は、デジタルモードおよびアナログモードを切り替えるモード切替信号と、受信のみの状態となるアイドル信号と、デジタル動作を停止させるスリープ信号とを受けて、これらを前記論理回路を介して前記デジタル受信手段およびデジタル送信手段に供給し、それぞれのモードを切り替え制御することとを特徴とするデュアルモード無線装置におけるデジタル・アナログ共用回路。

【発明の詳細な説明】

【0001】

【発明の属する分野】本発明は、デジタルモードとアナログモードを有するデュアルモード無線装置におけるデジタル・アナログ共用回路に係り、たとえば、携帯無線電話装置あるいは自動車電話装置などの移動体無線装置に用いて好適なデュアルモード無線装置におけるデジタル・アナログ共用回路に関するものである。

【0002】

【従来の技術】たとえば、セルラ方式の自動車電話または携帯電話システムには、アナログ無線方式とデジタル無線方式のものが知られている。アナログ無線方式は、デジタル無線方式よりも先に普及しており、その利用範囲は都市部に限らず全国的なものであった。しかしながら、アナログ無線方式では、急増するユーザに対応することができず、周波数の有効利用の点から優れたデジタル無線方式の普及が図られている。

【0003】たとえば、デジタル無線方式には、同一周波数の信号を時間軸上にて分割して送信するTDMA (time division multiple access) 方式のものと、スペクトラム拡散方式により同一周波数上に複数の信号を拡散して送信するCDMA (code division multiple access) 方式のものが知られている。これらは、いずれもベースバンド信号にて処理したデジタル信号を同相信号と直交信号に分配して、これらを中間周波(IF)段にてQPSK (quadrature phase shift keying) などの直交変調方式により変調し、さらに高周波段(RF)段にて所定の搬送波信号に重畳して送信する。これらデジタル無線方式ではアナログ無線方式の10~20倍のチャネルを確保できると言われている。

【0004】一方、アナログ無線方式では、音声信号などのベースバンド信号にて所定の局部発振周波数を変調して、いわゆる周波数変調(FM)にて中間周波信号を得て、これを高周波段にて所定の搬送波信号に重畳して送信する。基地局では、これを周波数分割して送信する、いわゆるFDMA (frequency division multiple access) 方式のものが知られている。

【0005】従来、たとえば、北米においては上記のようなアナログセルラシステムでも動作し、かつディジタ

ルセルラシステムでも動作するデュアルモード携帯電話装置が開発されている。この場合、搬送波信号の周波数をアナログ、デジタルともに同じ周波数を用いることにより、高周波部を共用化していた。

【0006】

【発明が解決しようとする課題】しかしながら、上述した従来の技術では、中間周波数がアナログ、デジタルそれぞれのモードにて異なる場合には、それらに対応して個別に中間周波数の局部発振回路を設けなければならず、装置に組み込む部品数が多くなるという問題があった。

【0007】本発明は上記課題を解決して、中間周波段を共用化して装置の部品数を少なくすることができるデュアルモード無線装置におけるデジタル・アナログ共用回路を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明によるデュアルモード無線装置におけるデジタル・アナログ共用回路は上記課題を解決するために、デジタルモードとアナログモードを有するデュアルモード無線装置におけるデジタル・アナログ共用回路において、受信波を所定の局部発振周波数にてダウンコンバートしてアナログのベースバンド信号を得るアナログ受信手段と、受信波を直交検波して、同相信号および直交信号からなるデジタルのベースバンド信号を得るデジタル受信手段と、デジタルのベースバンド信号を直交変調してデジタルの送信波を生成するデジタル送信手段と、アナログのベースバンド信号にて所定の局部発振周波数の信号を周波数変調してアナログの送信波を生成するアナログ送信手段と、アナログ受信手段およびデジタル受信手段ならびにデジタル送信手段およびアナログ送信手段を制御してそれぞれのモードに切り替える制御手段とを含み、デジタル受信手段は、制御手段からの第1の制御信号を受けて直交検波のための第1の局部発振周波数を生成する第1の周波数シンセサイザを含み、第1の周波数シンセサイザは、制御手段から第2の制御信号を受けて第2の局部発振周波数を生成してアナログ受信手段にアナログ信号のダウンコンバートのための局部発振信号を供給し、デジタル送信手段は、制御手段からの第3の制御信号を受けて、直交変調のための第3の局部発振周波数を生成する第2の周波数シンセサイザを含み、第2の周波数シンセサイザは、制御手段から第4の制御信号を受けてアナログ変調のための第4の局部発振周波数を生成し、アナログのベースバンド信号を周波数変調する変調手段を含むことを特徴とする。

【0009】この場合、デジタル受信手段は、受信波を同相信号と直交信号に分配する分配手段と、分配手段からの同相信号に第1の周波数シンセサイザからの第1の局部発振周波数を乗算する第1の乗算手段と、周波数シンセサイザからの第1の局部発振周波数の位相を90度

シフトする位相手段と、位相手段からのシフトした局部発振周波数を分配手段からの直交信号に乗算する第2の乗算手段とを含み、制御手段は、デジタルの受信モードにて分配手段、第1の乗算手段および第2の乗算手段ならびに第1の周波数シンセサイザをオンとしてデジタル受信手段を駆動し、アナログの受信モードにて分配手段、第1の乗算手段および第2の乗算手段をオフとし、周波数シンセサイザのみをオンとして周波数シンセサイザからの第2の局部発振周波数をアナログ受信手段に供給するとよい。

【0010】また、位相手段には、アナログ受信手段に第2の局部発振周波数を出力する出力手段が接続され、制御手段はアナログの受信モードにて出力手段をオンとして第1の周波数シンセサイザからの第2の局部発振信号を位相手段を介してアナログ受信手段に供給するとよい。

【0011】一方、デジタル送信手段は、デジタルのベースバンド信号の同相信号を受けて、この信号に第2の周波数シンセサイザからの第3の局部発振周波数を乗算する第3の乗算手段と、第2の周波数シンセサイザからの第3の局部発振周波数の位相を90度シフトする位相手段と、位相手段からのシフトした局部発振周波数にデジタルのベースバンド信号の直交信号を乗算する第4の乗算手段と、第3の乗算手段および第4の乗算手段からの信号を合成して出力する乗算手段とを含み、制御手段は、デジタルの送信モードにて第3の乗算手段、第4の乗算手段および合成手段ならびに第2の周波数シンセサイザをオンとしてデジタル送信手段を駆動するとよい。

【0012】また、第2の周波数シンセサイザは、可変容量ダイオードを含む電圧制御発振器を有し、制御手段は、アナログの送信モードにて第2の周波数シンセサイザおよびデジタル送信手段の合成手段をオンとし、かつ第3の乗算手段または第4の乗算手段のいずれか一方をオンとして、電圧制御発振器の可変容量ダイオードに供給されたアナログのベースバンド信号にて変調された送信波を第2の周波数シンセサイザから第3の乗算手段または第4の乗算手段のいずれか一方を介して前記合成手段から出力させると有利である。

【0013】さらに、第1の周波数シンセサイザおよび第2の周波数シンセサイザは、局部発振周波数の分周比を変化させる分周器を含み、制御手段は、アナログモードおよびデジタルモードにてそれぞれ分周器をオンまたはオフとして、第1および第2の周波数シンセサイザから第1の局部発振周波数ないし第4の局部発振周波数を発振させるようにしてもよい。

【0014】他方、制御手段は、複数の論理回路の組み合わせにて形成され、この制御手段は、デジタルモードおよびアナログモードを切り替えるモード切替信号と、受信のみの状態となるアイドル信号と、デジタル

動作を停止させるスリープ信号とを受けて、これらを論理回路を介してデジタル受信手段およびデジタル送信手段に供給し、それぞれのモードを切り替え制御するとよい。

【0015】

【発明の実施の形態】以下、本発明によるデュアルモード無線装置におけるデジタル・アナログ共用回路の一実施例を添付図面を参照して詳細に説明する。図1および図2には、本発明によるデュアルモード無線装置におけるデジタル・アナログ共用回路の一実施例が示されている。本実施例によるデジタル・アナログ共用回路は、たとえば、セルラ方式の携帯電話装置などの中間周波(IF)段に適用されて、図2に示すように、高周波部からのアナログの中間周波信号を増幅するアナログIF部40と、高周波部からのデジタルの中間周波信号を直交復調するデジタルIF部100と、アナログのベースバンド信号を周波数変調し、またデジタルのベースバンド信号を直交変調して高周波部に送出する変調部200と、デジタルIF部100および変調部200を制御してそれぞれのモードに切り替える切替制御部300とを含む。

【0016】アナログIF部40の入力端子10は、高周波部に接続され、出力端子50はアナログのベースバンド処理部に接続され、とくに本実施例では局部発振入力15がデジタルIF部100に接続されている。このアナログIF部40は、周波数混合回路、中間周波増幅器、バンドパスフィルタ等を含み、アナログの中間周波信号をベースバンド信号に変換して出力する中間周波回路である。

【0017】同様に、デジタルIF部100の入力端子20は高周波部に接続され、出力端子60はデジタルのベースバンド処理部に接続されている。また、変調部200は、その入力端子80,90がデジタルのベースバンド処理部に接続され、出力端子が高周波部に接続されている。切替制御部300は、入力端子70が主制御部などに接続され、その制御に応動してデジタルIF部100および変調部200にモード切り替え信号を供給する。

【0018】これらデジタルIF部100、変調部200および切替制御部300の詳細を図1を参照して説明すると、本実施例によるデジタルIF部200は、分配器102と、2つの乗算器103,104と、第1の周波数シンセサイザ105と、位相シフタ106と、3つのバッファ107,108,109とを含む。分配器102は、入力端子20からのデジタルの中間周波信号を受けて2つの乗算器103,104にそれぞれ出力する1入力2出力のバッファであり、制御端子120からの制御信号にてオン・オフされる。

【0019】第1の乗算器103は、分配器102からの中間周波信号に、周波数シンセサイザ105からの所定の局部発振周波数を乗算して同相のベースバンド信号を得る直交復調器であり、制御端子122からの制御信号にてオン・オフされる。同様に第2の乗算器104は、分配器102からの中間周波信号に位相シフタ106を介して周波数

シンセサイザ105からの所定の局部発振周波数を乗算して同相のベースバンド信号に直交する直交信号を得る直交復調器であり、制御端子124からの制御信号にてオン・オフされる。

【0020】第1の周波数シンセサイザ105は、電圧制御発振器(VCO)と、PLL(phase-locked loop)回路と、分周器と、ローパスフィルタ(LPF)等を含み、電圧制御発振器にて発振された局部発振信号をPLL回路、分周器、ローパスフィルタにて構成されるループ回路にてその周波数を調整して出力する。PLL回路には、主制御部からのクロック信号(Clock)がクロック端子111から供給され、分周器は制御端子126, 128からの制御信号にてオン・オフされる。これにより、本実施例ではデジタルモード時の第1の局部発振周波数と、アナログモード時の第2の局部発振周波数とが出力される。

【0021】位相シフタ106は、周波数シンセサイザ105から出力される局部発振周波数の位相を90度シフトして、第2の乗算器104またはバッファ109に出力する位相変換回路である。

【0022】第1のバッファ107は、第1の乗算器103からの復調した同相信号を増幅してデジタルのベースバンド処理部に出力する出力回路であり、制御端子130からの制御信号にてオン・オフされる。同様に、第2のバッファ108は第2の乗算器104からの復調した直交信号をデジタルのベースバンド処理部に出力する出力回路であり、制御端子132からの制御信号にてオン・オフされる。第3のバッファ109は位相シフタ106を介して供給される周波数シンセサイザ105からの第2の局部発振周波数を出力端子15を介してアナログIF部40に出力する出力回路であり、制御端子134からの制御信号にてオン・オフされる。

【0023】一方、本実施例の変調部200は、3つの入力バッファ208, 209, 210と、2つの乗算器204, 205と、周波数シンセサイザ206と、位相シフタ207と、2つの出力バッファ202, 203と、合成器201とを含む。第1の入力バッファ208は、デジタルのベースバンド信号処理部からの同相信号を受けて第3の乗算器204に供給する入力回路であり、制御端子220からの制御信号にてオン・オフされる。第2の入力バッファ209は、アナログのベースバンド信号処理部からの変調信号を受けて周波数シンセサイザ206に供給する入力回路であり、制御端子222からの制御信号にてオン・オフされる。第3の入力バッファ210は、デジタルのベースバンド信号処理部からの直交信号を受けて第4の乗算器205に供給する入力回路であり、制御端子224からの制御信号にてオン・オフされる。

【0024】第3の乗算器204は、第1の入力バッファ208を介して供給されたデジタルのベースバンド信号に周波数シンセサイザ206からの所定の局部発振信号を乗算して直交変調する直交変調器であり、制御端子228

からの制御信号にてオン・オフされる。同様に第4の乗算器205は、第3の入力バッファ210を介して供給されるベースバンド信号に位相シフタ207を介して供給される周波数シンセサイザ207からの所定の局部発振信号を乗算して直交変調する直交変調器であり、制御端子232からの制御信号にてオン・オフされる。

【0025】周波数シンセサイザ206は、デジタルIF部100の周波数シンセサイザ105と同様に、電圧制御発振器(VCO)と、PLL回路と、分周器と、ローパスフィルタなどを含み、主制御部からのクロック信号および制御端子234からの制御信号に応じてデジタル変調の際の第3の局部発振周波数およびアナログ変調の際の第4の局部発振周波数を発振する。特に、本実施例では、電圧制御発振器に可変容量ダイオードを含み、この可変容量ダイオードに第2の入力バッファ209からのアナログの変調信号が供給される。これにより、アナログモードの際に第4の局部発振周波数が変調信号にて周波数変調されてアナログの中間周波信号を生成する。

【0026】位相シフタ207は、周波数シンセサイザ206からのデジタルの第3の局部発振信号または周波数変調されたアナログの中間周波信号の位相を90度シフトして第4の乗算器205に出力する位相変換回路である。第1の出力バッファ202は、第3の乗算器からの変調された中間周波信号を合成器201に出力する出力回路であり、制御端子236からの制御信号にてオン・オフされる。第2の出力バッファ203は、第4の乗算器からの変調された中間周波信号を合成器201に出力する出力回路であり、制御端子238からの制御信号にてオン・オフされる。

【0027】合成器201は、出力バッファ202, 203を介して供給される中間周波信号を乗算して高周波段に出力する乗算器であり、特にデジタルモードの際に同相信号と直交信号を乗算した直交変調信号を出力し、アナログモードの際には第4の乗算器205のみからのアナログ信号をバッファリングするバッファ回路となる。この合成器201は、制御端子240からの制御信号にてオン・オフされる。

【0028】他方、本実施例の切替制御部300は、図5に示すように、複数の論理回路310~328の組合せにて構成され、モード端子301と、アイドル端子302と、スリープ端子303とを含む。モード端子301には、図3に示すようにデジタルモードの際に"High"となり、アナログモードの際に"Low"となるモード切り替え信号が供給される。このモード切り替え信号は、ゲート322および323、ならびにインバータ310を介してゲート324に供給される。アイドル端子302には、受信のみの状態、いわゆる待ち受け状態の場合に"Low"となり、送信する場合に"High"となるアイドル信号が供給される。このアイドル信号は、ゲート321、322、325および327に供給される。Highスリープ端子303には、デジタルモー

ドにてデジタルIF部100 および変調部200 を一時的に動作停止状態とする、いわゆるパワーダウン動作を行なう場合に"High"となるアイドル信号が供給される。このアイドル信号はゲート 321～328に供給される。さらに、電圧 V_{DD} (H)が各ゲートに与えられている。

【0029】図5を参照して、ゲート 321は、4入力の論理積をとって、合成器 201、出力バッファ 203および第4の乗算器 205にその出力を供給する。また、ゲート 322は、4入力の論理積をとって、出力バッファ 202、208および 210、ならびに第3の乗算器 204にその出力を供給する。さらに、ゲート 323は、2入力の論理積をとって分配器 102、入力バッファ 107および 108、第1の乗算器 103ならびに第2の乗算器 104にその出力を供給する。同様に、ゲート 324は、2入力の論理積をとってバッファ 109および 209にその出力を供給する。また、ゲート 325は、2入力の論理積をとって周波数シンセサイザ 206の入力VCO にその出力を供給し、ゲート 326は、2入力の相関をとって周波数シンセサイザ 105の入力VCO にその出力を供給する。さらに、ゲート 327は、2入力の相関をとって周波数シンセサイザ 206の入力PLL にその出力を供給し、ゲート 328は、2入力の相関をとって周波数シンセサイザ 105の入力PLL にその出力を供給する。

【0030】以上のような構成において、本実施例のアナログ・デジタル回路の動作をそれぞれのモードについて図3および図4を参照して説明する。まず、デジタルのアイドル状態、つまり、デジタル受信の状態では、切替制御部100のモード端子301に"High"となるモード切り替え信号が供給されて、アイドル端子302に"Low"およびスリープ端子303に"High"の信号がそれぞれ供給される。

【0031】これにより、ゲート 321、322、325および 327の出力が"Low"となって、変調部200の回路がオフとなる。すなわち、変調部 200が非動作状態となる。一方、デジタルIF部 100におけるバッファ 109以外の各回路がオンとなり、かつ周波数シンセサイザ 105から第1の局部発振周波数が発振される。

【0032】この状態にて、入力端子20に高周波部にてダウンコンバージョンされた受信波が供給されると、その受信波は分配器102を介して第1および第2の乗算器 103、104に供給される。これにより、第1の乗算器103では周波数シンセサイザ105からの第1の局部発振周波数(sine波)を受信波に乗算してベースバンド帯の同相信号(I signal)を生成する。この同相信号は、バッファ 107を介してデジタルのベースバンド処理部に出力される。

【0033】同様に、第2の乗算器104では周波数シンセサイザ105からの第1の局部発振周波数を位相シフト106にて90度シフトしたcosine波を受信波に乗算して、ベースバンド帯の直交信号(Q signal)を生成する。生成

された直交信号はバッファ108を介してベースバンド処理部に出力される。この結果、ベースバンド処理部ではデジタルの同相/直交信号に所定の処理を加えて、デジタル信号の受信が行なわれる。

【0034】次に、スリープモードでは、スリープ端子303に供給される信号が"Low"となって、デジタル受信状態でオンとなっていた各部がオフとなる。したがって、デジタルIF部100および変調部200の各部がすべてオフとなったスリープ状態となる。この状態では、高周波部およびベースバンド処理部もオフの状態であり、制御部のみがオンとなったパワーダウン状態となる。これにより、電池などの消耗も防止することができる。

【0035】次に、デジタル送信状態、つまりデジタル動作状態では、切替制御部300への入力信号がすべて"High"となる。これにより、変調部200の入力バッファ209を除く各部がオンとなる。また、これにより、周波数シンセサイザ206から第3の局部発振周波数が発振される。

【0036】この状態にて、たとえばベースバンド処理部から同相信号(I signal)および直交信号(Q signal)が出力されると、同相信号は第1の入力バッファ208を介して第3の乗算器204に供給され、直交信号は第3の入力バッファ210を介して第4の乗算器205に供給される。これにより、第3の乗算器204では、周波数シンセサイザ206からの第3の局部発振周波数(sine波)と同相信号を乗算して、同相信号を直交変調して、この信号を第1のバッファ202を介して合成器201に供給する。同様に、直交信号は、第4の乗算器205にて位相シフト207にて90度の位相シフトが行なわれた周波数シンセサイザ205からの第3の局部発振信号(cosine波)と乗算されて、第2の出力バッファ203を介して合成器201に供給される。この結果、直交変調されたデジタル信号は、合成器201にて合成されて高周波部に出力される。高周波部では、さらに搬送波に直交変調波を重畳して所定の送信動作が行なわれる。

【0037】一方、アナログモードでは、切替制御部300へのモード切り替え信号が"Low"となる。これにより、デジタルIF部100の第3のバッファ109のみがオンとなり、また周波数シンセサイザ105の分周器がオンとなって、第2の局部発振周波数が出力される。この結果、発振された第2の局部発振信号は、位相シフト106を介してバッファ109に供給され、このバッファ109を介して図2のアナログIF部40に供給される。

【0038】この状態にて、高周波部からのアナログの受信波は、アナログIF部40にて第2の局部発振周波数と混合され、ベースバンド信号に復調されて、アナログのベースバンド処理部に出力される。この結果、受信されたアナログ信号から音声信号等が再生される。

【0039】また、アナログの動作状態では、第2の入力バッファ209と、第4の乗算器205と、出力バッファ

203 と、合成器201 がオンとなり、周波数シンセサイザ206では第4の局部発振周波数が発振される。

【0040】この状態にて、アナログのベースバンド処理部に音声信号等が入力されると、その信号は変調信号として入力バッファ209 に供給される。これにより、入力バッファ209 を介して入力した変調信号は、周波数シンセサイザ206 にて電圧制御発振器の可変容量ダイオードに供給されて、その容量の変化により第4の局部発振信号を周波数変調して所定の中間周波信号が生成される。この信号は、位相シフタ207 を介して第4の乗算器205 に供給され、さらに出力バッファ203 および合成器201 を介して高周波部に出力される。高周波部では、周波数変調された中間周波信号を所定の搬送波に重畳して、送信処理が実行される。

【0041】以上のように、本実施例のデュアルモード無線装置におけるデジタル・アナログ共用回路によれば、デジタルIF部100 の周波数シンセサイザ105 にてデジタル受信の際の第1の局部発振周波数と、アナログ受信の際の第2の局部発振周波数とをそれぞれのモードに応じて発振させ、これに反応してデジタルIF部100 の各部をオン・オフするように構成したので、デジタル受信とアナログ受信を2つの局部発振回路を用いることなく効果的に切り替えることができる。この結果、受信回路を簡素化して、装置を安価に構築することができる。

【0042】同様に、デジタル送信の際およびアナログ送信の際に、変調部200 の周波数シンセサイザ206 にて第3の局部発振周波数および第4の局部発振周波数をそれぞれのモードに応じて発振させ、これに反応してデジタル変調に用いられる直交変調器をオン・オフするように構成したので、デジタル送信とアナログ送信を2つの局部発振回路を用いることなく効果的に切り替えることができる。この結果送信回路を簡素化して、装置をさらに安価に構築することができる。

【0043】なお、上記実施例では、アナログの局部発振周波数を出力するバッファ109 を局部発振回路の位相シフタ106 側に接続するように構成したが、本発明においては位相シフトしない第1の乗算器103 側に接続するようにしてもよい。同様に、変調部200 にてアナログ変調した信号を第4の乗算器205 を介して出力するように構成したが、本発明においては、位相シフトしない第3の乗算器204 側から出力するように構成してもよい。

【0044】また、上記実施例では入出力回路としてバッファを適用するにしたが、本発明においては、上記各バッファをスイッチ回路に代えて構成するようにしてもよい。さらに、上記実施例では周波数シンセサイザ105,206 にてそれぞれの中間周波数と同一の局部発振周波数を発振するように構成したが、本発明においては中

間周波数のN倍の発振周波数を発振させ、これを分周器などにて1/N にて分周して、それぞれの変調回路および復調回路に供給するようにしてもよい。これにより、周波数増幅段などへの干渉を避けることができる。

【0045】

【発明の効果】以上のように本発明におけるデュアルモード無線装置におけるデジタル・アナログ共用回路によれば、デジタル受信手段にて制御手段からの第1の制御信号に応じて直交検波のための第1の局部発振周波数を生成するとともに、第2の制御信号にて第2の局部発振周波数を生成して前記アナログ受信手段にアナログ信号のダウンコンバートのための局部発振信号を供給する周波数シンセサイザを設けたので、デジタル受信およびアナログ受信を2つの局部発振回路を用いることなく有効に切り替えることができる。同様に、デジタル送信手段にて制御手段からの第3の制御信号に反応して、直交変調のための第3の局部発振周波数を生成するとともに、第4の制御信号を受けてアナログ変調のための第4の局部発振周波数を生成する周波数シンセサイザを設けたので、デジタル送信およびアナログ送信を2つの局部発振回路を用いることなく有効に切り替えることができる。この結果、無線装置のIF段などを簡素化することができ、かつ装置を安価に構築することができるなどの優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例によるデュアルモード無線装置におけるデジタル・アナログ共用回路の一実施例を示すブロック図である。

【図2】図1の実施例の概略構成を示すブロック図である。

【図3】図1の実施例の切替制御部に供給される制御信号による真理値を示す図である。

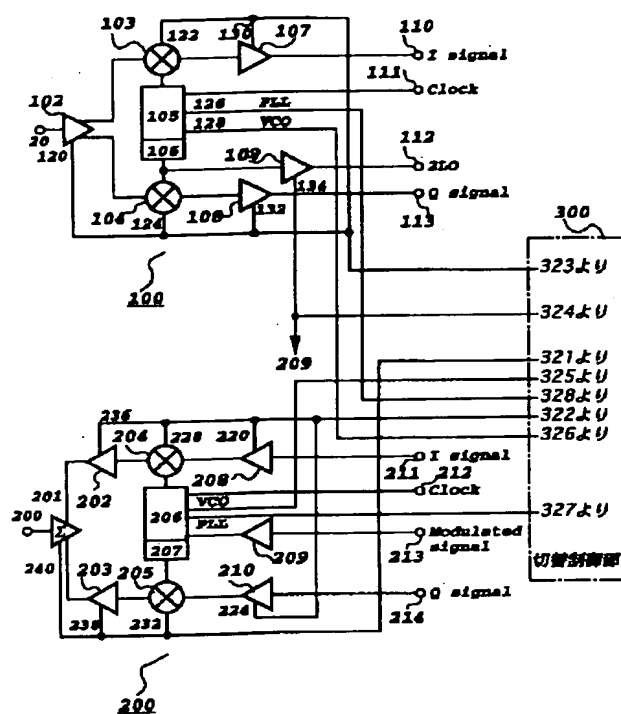
【図4】図1の実施例の各部のそれぞれのモードでの真理値を示す図である。

【図5】図1の実施例における切替制御部の構成例を示す機能回路図である。

【符号の説明】

40 アナログIF部
100 デジタルIF部
103,104 乗算器
105 第1の周波数シンセサイザ
109 出力バッファ
200 変調部
204,205 乗算器
206 第2の周波数シンセサイザ
209 入力バッファ
300 切替制御部
304 ~311 論理回路

【図1】



デュアルモード無線装置の実施例の主要部

【図3】

外部端子番号		外部制御信号		
		301	302	303
デジタル	アイドル	H	L	H
	スリープ	H	L	L
	動作	H	H	H
アナログ (FM)	アイドル	L	L	H
	動作	L	H	H

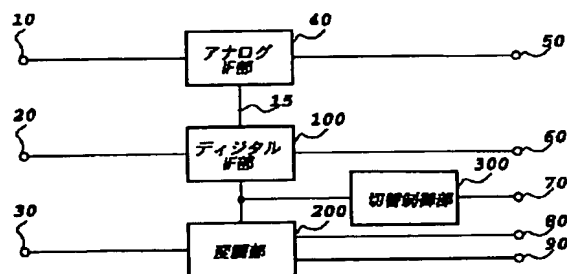
外部制御信号の真理値表

【図4】

回路番号および名称		105		109	102, 103, 104, 107, 108	206		209	202, 204, 208-210	201, 203, 205
		PLL	VCO			PLL	VCO			
デジタル	アイドル	ON	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF
	スリープ	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
	動作	ON	ON	OFF	ON	ON	ON	OFF	ON	ON
アナログ (FM)	アイドル	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF
	動作	ON	ON	ON	OFF	ON	ON	ON	OFF	ON

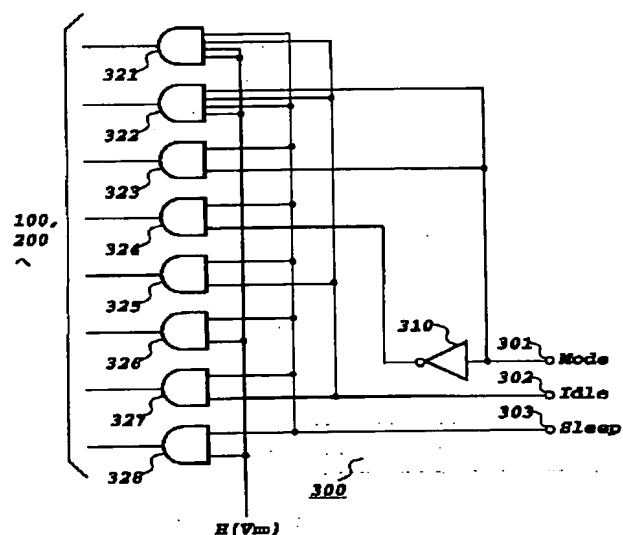
受信および送信回路の動作の真理値表

【図2】



デュアルモード無線装置の実施例

【図5】



変調部の構成例